

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321671

(43)Date of publication of application : 12.12.1997



(51)Int.Cl.

H04B 3/06
H03H 17/02
H03H 21/00

(21)Application number : 08-133895

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 28.05.1996

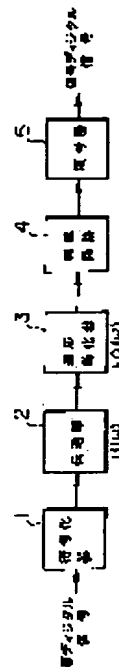
(72)Inventor : KURIBAYASHI HIROKI

(54) ADAPTIVE EQUALIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a circuit scale while keeping high data transmission efficiency by performing filtering processing to an input digital signal based on a set coefficient and controlling the set coefficient based on an equalizing error to be detected.

SOLUTION: A coder 1 converts a source digital signal from a signal generation system into a code suitable for a transmission line on the following stage and after the conversion, the data signal is sent through the transmission line 2 to an adaptive equalizer 3. The transmission line 3 adopts various forms. In the field of communication, it is a radio wave, a cable or an optical fiber and in the field using a recording medium, it is a magnetic tape, a magnetic disk or an optical disk. the adaptive equalizer 3 adaptively changes its own transmission characteristics so that the transmission characteristics fluctuated on the transmission line 2 can be compensated in order to properly supply the data signal through the transmission line 2 to a discrimination circuit 4 on the next stage. The codes carried on the data signals adaptively processed by the adaptive equalizer 3 are successively discriminated by the discrimination circuit 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321671

(43) 公開日 平成9年(1997)12月12日

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 3/06			H 0 4 B 3/06	A
H 0 3 H 17/02	6 0 1	9274-5 J	H 0 3 H 17/02	6 0 1 B
21/00		9274-5 J	21/00	

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願平8-133895

(22) 出願日 平成8年(1996)5月28日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 栗林 祐基

埼玉県鶴ヶ島市富士見6丁目1番1号バイオニア株式会社総合研究所内

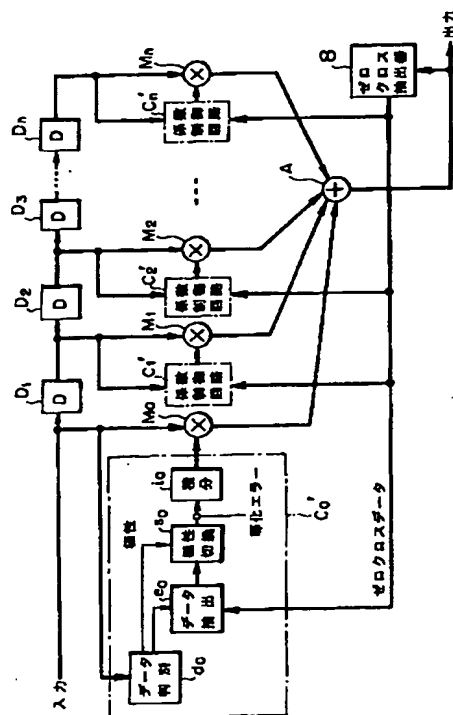
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 適応等化器

(57) 【要約】

【課題】 高いデータ伝送効率を維持しつつ回路規模の縮小化を図る。

【解決手段】 この適応等化器は、等化誤差を最小化すべく伝送路を経た入力デジタル信号に適応信号処理を施し、処理後のデジタル信号を送出する。本適応等化器は、設定される係数に基づいて入力デジタル信号にフィルタリング処理を施す可変係数フィルタ ($D_1 \sim D_n$, $M_0 \sim M_n$) と、等化誤差を検出する誤差検出系 8 と、等化誤差に基づいて係数を制御する係数制御部 $C_0 \sim C_n$ とを有する。係数制御部は、入力デジタル信号の各サンプル値の絶対値が所定値よりも大きいかな否かを判別する判別回路 d_0 と、その判別結果として絶対値が所定値よりも大きいことが判別された場合にそのサンプル値の極性に応じた極性を等化誤差に付与して得られる値により係数を生成する係数生成部 ($e_0 \sim, s_0 \sim, i_0 \sim$) とを有する。



【特許請求の範囲】

【請求項 1】 等化誤差を最小化すべく伝送路を経た入力デジタル信号に適応信号処理を施し、処理後のデジタル信号を送出する適応等化器であって、設定される係数に基づいて前記入力デジタル信号にフィルタリング処理を施す可変係数フィルタと、前記等化誤差を検出する誤差検出手段と、前記等化誤差に基づいて前記係数を制御する係数制御手段とを有し、前記係数制御手段は、前記入力デジタル信号の各サンプル値の絶対値が所定値よりも大きいかなかを判別する判別手段と、前記判別手段によって前記絶対値が所定値よりも大きいことが判別された場合にそのサンプル値の極性に応じた極性を前記等化誤差に付与して得られる値により前記係数を生成する係数生成手段とを有することを特徴とする適応等化器。

【請求項 2】 前記誤差検出手段は、前記処理後のデジタル信号におけるゼロクロス近傍のサンプル値から前記等化誤差の量を導くことを特徴とする請求項 1 記載の適応等化器。

【請求項 3】 前記係数生成手段は、前記判別手段によって前記絶対値が所定値よりも大きいことが判別された場合に前記処理後のデジタル信号におけるゼロクロス近傍のサンプル値を抽出する抽出手段と、前記判別手段によって前記絶対値が所定値よりも大きいことが判別された場合における前記入力デジタル信号のサンプル値の極性が正であるときは前記抽出手段により抽出されたサンプル値の極性を反転するとともにそれ以外の場合は非反転とする極性切換手段とを有することを特徴とする請求項 2 記載の適応等化器。

【請求項 4】 前記係数生成手段は、前記極性切換手段の出力信号を積分する積分器を含み、前記積分器の出力値によって係数を設定することを特徴とする請求項 3 記載の適応等化器。

【請求項 5】 前記誤差検出手段は、前記処理後のデジタル信号における +1 の値近傍のサンプル値から前記等化誤差の量を導くことを特徴とする請求項 1 記載の適応等化器。

【請求項 6】 前記誤差検出手段は、前記処理後のデジタル信号における -1 の値近傍のサンプル値から前記等化誤差の量を導くことを特徴とする請求項 1 記載の適応等化器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、適応等化器に関する。

【0002】

【従来の技術】従来より、伝送路の伝達特性を所望の特性に等化するために適応フィルタ或いは適応等化器が用いられている。適応等化器は、入力信号系における伝達特性の変化に自らの伝達特性を適応させ、出力信号系に

適格な信号を伝送する。かかる適応等化器の一般的な構成は、図 1 に示される。

【0003】図 1 において、離散信号たる入力デジタル信号は、縦続接続された n 個の単位遅延素子 $D_1 \sim D_n$ からなる系に供給される。単位遅延素子 $D_1 \sim D_n$ は、入力デジタル信号のサンプリング周期に等しい時間遅延を与えるものであり、1 つの単位遅延素子の出力は、1 サンプリング時間前の入力になる。入力デジタル信号及び各単位遅延素子の出力信号は、乗算器 $M_0 \sim M_n$ に個別に供給されるとともに、係数制御回路 $C_0 \sim C_n$ にも個別に供給される。係数制御回路 $C_0 \sim C_n$ は、乗算器 $M_0 \sim M_n$ において入力デジタル信号及び各単位遅延素子の出力信号の値に乘算されるべき係数をそれぞれ制御しかつその係数を乗算器 $M_0 \sim M_n$ に与える。

【0004】乗算器 $M_0 \sim M_n$ による乗算結果は、加算器 A によって加算され、その加算結果が出力デジタル信号すなわち適応等化器の出力として導出される。かかる出力デジタル信号は、減算器 S にも導かれる。減算器 S は、出力デジタル信号の値と基準値との差を求め、当該差の値を係数制御回路 $C_0 \sim C_n$ に与える。減算器 S に与えられる基準値は、適応等化器とその入力信号系とにおける総合の伝達特性を、理想とする或いは目標とする伝達特性に導くための値が設定される。

【0005】係数制御回路 $C_0 \sim C_n$ はそれぞれ、入力デジタル信号または単位遅延素子の出力信号の値に減算器 S からの差信号の値を乗じる乗算器 $m_0 \sim m_n$ と、その乗算出力を積分する積分器 $i_0 \sim i_n$ とからなる。積分器 $i_0 \sim i_n$ の出力は、制御された係数値として乗算器 $M_0 \sim M_n$ に送られる。このような構成の適応等化器によれば、減算器 S によっていわゆる等化エラーが抽出され、この抽出エラーと入力デジタル信号及び単位遅延素子の出力信号との乗算結果に基づいてタップ係数すなわち乗算器 $M_0 \sim M_n$ に送るべき乗算係数が更新される。そしてこのような作用によって、等化エラーを零に近づけ、もって基準値が導く目標の伝達特性にて等化器の出力信号を伝送することを達成している。

【0006】しかしながら、減算器 S に与えられるべき基準値は、入力デジタル信号がとりうる値によって決まるものであり、入力デジタル信号が示すであろうと想定される値を前提に決められたり、その想定を保障するために予め入力デジタル信号の生成に際して所定の値（サンプル値）を入力デジタル信号に混合しておく必要がある。これはデータ伝送効率に不利である。

【0007】また、係数制御回路 $C_0 \sim C_n$ は、乗算器 $m_0 \sim m_n$ を使って係数制御を行うようにしている一方、一般に乗算器は回路規模の増大を招くものであるので、適応等化器全体の規模縮小化に不利となっている。

【0008】

【発明が解決しようとする課題】本発明は、上述した点

に鑑みてなされたものであり、その目的とするところは、高いデータ伝送効率を維持しつつ回路規模の縮小化に寄与し得る適応等化器を提供することにある。

【0009】

【課題を解決するための手段】本発明による適応等化器は、等化誤差を最小化すべく伝送路を経た入力デジタル信号に適応信号処理を施し、処理後のデジタル信号を送出する適応等化器であって、設定される係数に基づいて前記入力デジタル信号にフィルタリング処理を施す可変係数フィルタと、前記等化誤差を検出する誤差検出手段と、前記等化誤差に基づいて前記係数を制御する係数制御手段とを有し、前記係数制御手段は、前記入力デジタル信号の各サンプル値の絶対値が所定値よりも大きいと否かを判別する判別手段と、前記判別手段によって前記絶対値が所定値よりも大きいことが判別された場合にそのサンプル値の極性に応じた極性を前記等化誤差に付与して得られる値により前記係数を生成する係数生成手段とを有することを特徴としている。

【0010】

【発明の実施の形態】以下、本発明を図面を参照しつつ詳細に説明する。図2は、本発明による一実施例の適応等化器が適用された伝送システムの概略構成を示している。図2において、符号化器1は、図示せぬ信号生成系からの原デジタル信号すなわちデータ信号に後段の伝送路に適した符号変換を施し、変換後のデータ信号を伝送路2を介して適応等化器3に送出する。伝送路2は、種々の形態が採られる。例えば通信分野においては電波やケーブル、光ファイバ等であり、記録媒体を用いた分野では磁気テープや磁気ディスク、光ディスク等である。

【0011】適応等化器3は、伝送路2を経たデータ信号を次段の判定回路4に適正に供給するために、伝送路2において変動する伝達特性 $H(\omega)$ を補償すべく自らの伝達特性 $E_Q(\omega)$ を適応変化させ、 $H(\omega) \times E_Q(\omega)$ の特性が常に一定となるよう動作する。このように適応等化器3により適応処理されたデータ信号は、判定回路4によって、当該データ信号が担っている0, 1の符号が順次判定される。判定回路4は、伝送路2及び適応等化器3を経て、いわゆる鈍っているデータ信号を適格な0, 1符号に対応したレベルのデータ信号に変換し、その変換後のデータ信号を復号器5に送出する。復号器5は、判定回路4からのデータ信号に、符号化器1と逆の符号変換による復号処理を施し、図示せぬ復号データ処理系に送出する。

【0012】適応等化器3の基本構成は、図3に示される。図3において、適応等化器3は、入力データ信号が供給されるFIRフィルタ6とFIRフィルタ6の出力データ信号に基づいて係数制御信号を生成する係数制御回路7とからなる。FIRフィルタ6は、係数制御回路7からの制御信号に応じて設定される係数に基づいて入

力データ信号に処理を施し等化された出力データ信号を生成する。

【0013】ここで、適応等化器3に入力するデータ信号が図4に示されるようなアイパターンを呈するものとする。このアイパターンは、符号化器1及び伝送路2を含む適応等化器3までの伝送系が、例えばナイキストの第2基準と称されるような伝送系、或いはPR(1, 1)と表記されるパーシャルレスポンス伝送系クラスIである場合のものである。

【0014】このような伝送系からのデータ信号は、アイパターンが必ずゼロで交差(クロス)しかつ、チャネルクロックでサンプリングされると1, 0, -1のいずれかの値を持つ離散信号となる。また、このようなアイパターンを有するデータ信号におけるゼロクロス近傍のサンプル値は、伝送特性が適正に等化されていれば0である筈なので、図1の構成において減算器Sに与えるべき基準値を0とし、ゼロクロス近傍のサンプル値の0からの偏差を等化エラー量とみなすことができる。

【0015】このような考え方で構成された適応等化器が図5に示される。図5においては、図1と同等の部分には同一の符号が付されており、係数制御回路 $C_0' \sim C_0''$ 及びこれらに供給する等化エラーの生成系に特徴がある。等化エラー生成系としてのゼロクロス抽出器8は、出力デジタル信号におけるゼロクロス近傍のサンプル値を等化エラーの絶対値として出力する。図6を例として参照すると、出力デジタル信号は、適応等化器の伝達特性が適正である場合は実線に沿う如き-1, 0, +1のサンプル値列となるが、適応等化器の伝達特性が不適正となると破線に沿う如き例えば-0.8, +0.2, +1.2のサンプル値列となる。かかる不適正な伝達特性の下では、ゼロクロス抽出器8は、-0.8のサンプル値から+0.2のサンプル値への変化によって、つまり連続するサンプル値間の極性の変化によってゼロクロスが生じたことを認識するとともに、このゼロクロス認識で使われた両サンプル値のうちで0により近い方のサンプル値すなわちここでは+0.2のサンプル値を抽出する。この抽出されたサンプル値(以下、ゼロクロスデータと呼ぶ)が、等化エラー量(絶対値)そのものとなる。

【0016】係数制御回路 $C_0' \sim C_0''$ は、かかるゼロクロスデータに基づいて係数制御を行うが、図1とは異なり、乗算器 $m_0 \sim m_0$ を用いることなく構成される。係数制御回路 C_0' を代表してその構成を説明すると、入力デジタル信号が値1, 0, -1のうちのいずれを担っているのかを判別するデータ判別回路 d_0 を始めとし、その判別結果に応じた動作をなすデータ抽出回路 e_0 及び極性切回路 s_0 、並びに積分器 i_0 が設けられる。

【0017】具体的にはこのデータ判別回路 d_0 は、入力デジタル信号が図6に示されるような閾値 T_h より

も大きいかな否か、閾値 $-Th$ よりも小さいかな否かを判定する。入力デジタル信号が閾値 Th よりも大きいかな否かは閾値 $-Th$ よりも小さいことを判定した場合は、入力デジタル信号の絶対値が1である旨の信号をデータ抽出回路 e_0 に送出する。データ判別回路 d_0 はまた、入力デジタル信号が閾値 Th よりも大きいことを判定した場合は入力デジタル信号の値の極性が正である旨の信号を、入力デジタル信号が閾値 $-Th$ よりも小さいことを判定した場合は入力デジタル信号の値の極性が負である旨の信号を、極性切換回路 s_0 に送出する。入力デジタル信号が閾値 Th 以下であり閾値 $-Th$ 以上であることを判定した場合は、入力デジタル信号は値0を担うものであると推定される。

【0018】データ抽出回路 e_0 は、入力デジタル信号の絶対値が1である旨の信号を受け取ると、ゼロクロスデータを抽出すなわちゼロクロスデータを極性切換回路 s_0 に通過させ、これ以外のときはゼロクロスデータの通過が遮断され極性切換回路 s_0 に値0のデータが送られる。極性切換回路 s_0 は、入力デジタル信号の値の極性が正である旨の信号を受け取った場合は、極性を反転してゼロクロスデータを積分器 i_0 に送出する一方、入力デジタル信号の値の極性が負である旨の信号を受け取った場合は、極性非反転のままゼロクロスデータを積分器 i_0 に送出する。

【0019】従って、入力デジタル信号が1とみなされたときにはゼロクロスデータを反転した結果による係数が得られ、入力デジタル信号が -1 とみなされたときにはゼロクロスデータそのものによる係数が得られる。入力デジタル信号が1とみなされたときに反転し、 -1 とみなされたときに非反転とする理由は、図7を参照して説明することができる。図7(a)は、本例における等化エラーの生成原理を図1の如き一般化モデルで表しており、基準値0を正相にて、ゼロクロスデータを逆相にて減算し、等化エラーが生成される。この処理は、図7(b)に示されるようにゼロクロスデータに -1 を乗算する処理に相当し、極性切換回路 s_0 はこれを担っているのである。

【0020】なお、係数制御回路 $C_1 \sim C_n$ も係数制御回路 C_0 と同様の構成及び作用を有する。また、可変係数フィルタたるFIRフィルタ6(図3参照)は、図5において単位遅延素子 $D_1 \sim D_n$ 、乗算器 $M_0 \sim M_n$ 及び加算器Aによって構成され、係数制御部7は、係数制御回路 $C_0 \sim C_n$ 及びゼロクロス抽出器8によって構成される。

【0021】かくして図5の構成においては、係数制御回路 $C_0 \sim C_n$ において規模の大なる回路構成を伴う乗算器が使用されないので、適応等化器全体の縮小化に寄与することとなる。特に適応等化器に割り当てられる単位遅延素子の段数が多いほど、この効果は顕著である。図8は、図5の構成をさらに改善した例を示してお

り、係数制御回路 $C_0 \sim C_n$ 及びこれらに供給される信号の分配系に特徴がある。

【0022】図8においては、出力デジタル信号からゼロクロスタイミング若しくはゼロクロスデータの到来を検出するゼロクロス検出器9が設けられ、この検出信号と出力デジタル信号とがそれぞれ係数制御回路 $C_0 \sim C_n$ に供給される。係数制御回路 $C_0 \sim C_n$ においては、図5においてゼロクロス抽出器8及びデータ抽出(中継)回路 e_0 が個々に担っていた機能をデータ抽出回路 e_0 が一手に受け持つ。

【0023】すなわち、データ抽出回路 e_0 は、ゼロクロス検出信号を受け取りかつデータ判別回路 d_0 から入力デジタル信号の絶対値が1である旨の信号を受け取ると、ゼロクロスデータを抽出すなわちゼロクロスデータを極性切換回路 s_0 に通過させ、これ以外のときはゼロクロスデータの通過を遮断し極性切換回路 s_0 に値0のデータを送るよう動作する。これによれば、図5における冗長的な構成を解消し、さらなる構成の簡素化が図られたことになる。

【0024】図9は、図8の構成の等価回路であって、係数制御回路の特にデータ判別部を詳細に示したものである。図9においては、FIRフィルタ6が10段の単位遅延素子によって構成された例が示されており、入力デジタル信号及び各単位遅延素子の出力信号における所定ビット例えばMSBに配されたいわゆるサインビット信号 $D_5 \sim D-5$ がフィルタ外部へ導出され、また外部より各乗算器への係数値が与えられる。図8の構成と大きく異なる点は、データ判別回路 d_0 の構成にある。すなわち図9におけるデータ判別回路 d_0 は、入力デジタル信号のサンプル値列に対して順次絶対値化する絶対値化回路 a_b と、絶対値化回路 a_b の出力値と閾値との大小比較を順次行う比較器 c_m と、その比較結果が順次転送される縦続接続構成のしかもFIRフィルタ6に使われているものと同等数の単位遅延素子群 $d_1 \sim d_{10}$ と、これら単位遅延素子の入出力信号 $L_5 \sim L-5$ をそれぞれ一入力としゼロクロス検出信号をそれぞれ他入力とするアンド回路 $n_1 \sim n_{10}$ とからなり、各アンド回路から信号の各サンプル値の絶対値が1か否かの判別結果 $EN_5 \sim EN-5$ を得、極性識別情報は、上記サインビット信号 $D_5 \sim D-5$ から得るようにしている。

【0025】かかるデータ判別回路 d_0 は、図8のように単位遅延素子 $D_1 \sim D_n$ によって遅延された信号をデータ判別(サンプル値の絶対値が1か否かの判別)するのではなく、入力デジタル信号のサンプル値を順次データ判別してその判別結果を遅延するようにしている。このような構成によっても図5及び図8について述べたような作用効果を奏することができるのである。

【0026】なおゼロクロス検出信号は、この場合図9に示されるように、単位遅延素子 d_4, d_5, d_6 の出

力信号 L_1 , L_0 , L_{-1} をそれぞれ非反転, 反転, 非反転にて入力するアンド回路91と、サインビット信号 D_{1s} , D_{-1s} を入力とする排他的オア回路93と、アンド回路91及び排他的オア回路93の各出力信号を入力するアンド回路93とからなる構成によって、アンド回路96の出力から得られる。また、ゼロクロスデータに対応する係数 a_0 を生成する系すなわちデータ抽出回路 e_5^- 、極性切り換え回路 s_5 、積分器 i_5 及びアンド回路 n_5 を省略することができ、FIRフィルタにおいて係数 a_0 も固定でよく、従って係数 a_0 を使う乗算器も割愛され、対応する単位遅延素子の出力信号も当該フィルタの加算器へ直接入力する構成を採ることができる。

【0027】図9の構成は、FIRフィルタ6の入力端からの信号を用いてデータ判別を行っているが、図10のようにFIRフィルタ6の出力端からの信号を用いてデータ判別を行うようにして適応等化器を構成することもできる。図10においては、FIRフィルタ6の出力信号が絶対値化回路 a_b に送られるとともに、FIRフィルタ6の出力信号を入力としかつFIRフィルタ6に使われているものと同等数の単位遅延素子群 $D_{11}^- \sim D_{10}^-$ がさらに設けられる。このさらに設けられた単位遅延素子のうち、ゼロクロスデータに対応する単位遅延素子 D_5^- の出力信号が適応等化器の出力に導かれるとともに、この出力信号が、データ抽出回路 $e_0^- \sim e_{10}^-$ に供給される。

【0028】このような構成によっても、上述した各例と同等の作用効果を得ることができる。図10の等化器の動作を図11を用いて部分的に説明すると、伝送路2（図2参照）への入力信号が、図11の（a）に示される値を担うものとしたとき、等化器3及びその内部は、同図（b）～（f）に示されるような態様を呈する。

【0029】すなわち、等化器の出力信号（サンプル値列）としては、（b）のように（a）に示される値及び値の変化に従う比較的緩やかな波形を描く。（b）において○印はサンプル値を示し、それぞれに対応する単位遅延素子を指す符号が付されている（サンプル値 $D-5 \sim D-3$ は、順に遅延素子 $D_{10}^-, D_9^-, D_8^-, D_7^-, D_6^-, D_5^-, D_4^-, D_3^-, D_2^-$ の出力信号に対応する）。このときゼロクロス検出がなされるのは、サンプル値 $D-1$, D_0 , D_1 においてである。ゼロクロス検出回路9において L_1 =論理「1」、 L_0 =論理「0」、 L_{-1} =論理「1」（サンプル値 $D-1$, D_0 , D_1 の絶対値がそれぞれ1より大、1より小、1より大である故）が与えられたアンド回路91の出力が論理「1」となり、かつ D_{1s} =論理「1」、 D_{-1s} =論理「0」（サンプル値 $D-1$, D_1 の極性が負、正である故）が与えられた排他的オア回路92の出力が論理「1」となるので、アンド回路93からは、論理「1」のゼロクロス検出信号が出力されるからである。従っ

て、アンド回路 $n_0 \sim n_{10}$ は、信号 $L_5 \sim L_{-5}$ を導通可能となり、このとき論理「1」を呈している信号 L_{-5} , L_{-4} , L_{-2} , L_{-1} , L_1 , L_2 , L_3 （サンプル値 $D-5$, $D-4$, $D-2$, $D-1$, D_1 , D_2 , D_3 の絶対値が閾値 Th より大である故）によって信号 $EN-5$, $EN-4$, $EN-2$, $EN-1$, EN_1 , EN_2 , EN_3 のみが論理「1」となる。よってこれら信号に対応するデータ抽出回路 $e_{10}^-, e_9^-, e_7^-, e_6^-, e_4^-, e_3^-, e_2^-$ だけが、遅延素子 D_5^- の出力すなわちサンプル値 D_0 を極性切換回路 $s_{10}, s_9, s_7, s_6, s_4, s_3, s_2$ へ抽出出力することとなる。

【0030】サンプル値 D_0 が出力されるこれら極性切換回路のうち、極性切換回路 $s_{10}, s_9, s_4, s_3, s_2$ にはサンプル値 $D-5$, $D-4$, D_1 , D_2 , D_3 が正極性であることを示すサインビット信号 $D-5_s, D-4_s, D_{1s}, D_{2s}, D_{3s}$ が供給されているので、上述した如く抽出されたサンプル値 D_0 が極性反転せしめられ、（d）のような信号が、対応する積分器に供給される。これにより当該積分器は、対応する係数 $a_{-5}, a_{-4}, a_1, a_2, a_3$ をサンプル値 D_0 に応じて小さくするよう制御することとなる。

【0031】また、極性切換回路 s_7, s_6 には、サンプル値 $D-2$, $D-1$ が負極性であることを示すサインビット信号 $D-2_s, D-1_s$ が供給されているので、上述した如く抽出されたサンプル値 D_0 が極性反転されることなく、（e）のような信号が、対応する積分器に供給される。これにより当該積分器は、対応する a_{-2}, a_{-1} をサンプル値 D_0 に応じて大きくするよう制御することとなる。

【0032】一方、サンプル値 $D-3$ の絶対値は、閾値 Th より小であるので、信号 L_{-3} は論理「0」であり、ゼロクロス検出信号が論理「1」を呈しても信号 $EN-3$ は論理「1」とならず、データ抽出回路 e_8^- はサンプル値 D_0 を抽出しない。よって、サインビット信号 $D-3_s$ の如何にかかわらず積分器 i_8 には極性切換回路 s_8 から（f）のような信号が送られるので、係数 a_{-3} は何ら更新されないこととなる。このことは、サンプル値 D_0 が値0からずれている原因がサンプル値 $D-3$ に存在しないものとして扱われていることに相当する。

【0033】かくして、（c）～（f）の連結した動作の繰返しによって、等化器出力におけるゼロクロスサンプル値 D_0 が0に近づくこととなる。ここまでは、基準値（図1参照）を不要とするためにゼロクロスデータを用いる場合の例を説明してきたが、以下の如く他のデータを用いるようにしても良い。

【0034】ナイキスト第1条件を満たす伝送系またはPR(1, 1)のような伝送系からの信号は、1, -1のいずれか、または1, 0, -1のいずれかの離散的な

値を担うべきものとしている。そこで、基準値を 1 または -1 とし、フィルタ出力信号における 1 近傍のサンプル値または -1 近傍のサンプル値を抽出してこれを等化エラー量として使うようにすることができるのである。

【0035】図 7 に倣えば、図 12 に示される如く等化エラーを導くことができる。図 12 の (A) においては、基準値を 1 とし、フィルタ出力から値 1 近傍のサンプル値を抽出し、その抽出サンプル値を値 1 から減じて等化エラーを生成し、(B) においては、基準値を -1 とし、フィルタ出力から値 -1 近傍のサンプル値を抽出し、その抽出サンプル値を値 -1 から減じて等化エラーを生成している。そしてこれら手法 (A) 及び (B) の両方を使って等化エラーを生成することもできるのである。その具体例を図 13 に示す。

【0036】図 13 の構成は、図 9 の構成を基礎とするものであるが、ここで述べる特徴は、既述した各例に共通して適用され得るものである。図 13 においてデータ抽出回路 $e_0 \sim e_{10}$ に供給される信号は、FIR フィルタ 6 の出力信号を一入力とする減算器 S の減算出力信号である。減算器 S の他入力にはセレクタ s1 の出力が導かれており、セレクタ s1 は、サインビット信号 D_0 に応じて +1 の第 1 基準値及び -1 の第 2 基準値のうちのどちらかを選択出力する。

【0037】一方、ゼロクロス検出に代わりここではフィルタ出力の 1 近傍のサンプル値及び -1 近傍のサンプル値を検出する必要があるが、単位遅延素子 d_5 の出力信号によって、かかる検出機能が果たされている。すなわち、単位遅延素子 d_5 の出力信号 L0 が論理「1」を呈したときは、対応するサンプル値の絶対値が閾値 Th よりも大なること、つまりは当該サンプル値が +1 か若しくは -1 を担うものであることを意味するので、この信号 L0 をアンド回路 $n_0 \sim n_{10}$ に入力すれば、フィルタ出力の 1 近傍のサンプル値及び -1 近傍のサンプル値を抽出するための信号 EN を生成できるのである。

【0038】サインビット信号 D_0 は、出力信号 L0 に対応しており、当該サインビット信号 D_0 を含むサンプル値の極性を示している。その極性が正を示すものであれば、セレクタ s1 は減算器 S に基準値 +1 を与え、負を示すものであれば、基準値 -1 を与える。よって減算器 S の出力からは、データ抽出回路 $e_0 \sim e_{10}$ がフィルタ出力の 1 近傍のサンプル値を抽出すべきときには +1 を基準とする等化エラーが得られ、-1 近傍のサンプル値を抽出すべきときには -1 を基準とする等化エラーが得られる。

【0039】なお、図 13 は 1, -1 の基準値を使った例であるが、先に述べた通りどちらか一方を使った構成にしても良いことは勿論、図 5 及び図 8 ~ 図 10 の如くゼロを基準値に使った構成と組み合わせても良い。このように、上記各実施例においては種々の手段を限定的に説明したが、当業者の設計可能な範囲にて適宜改変する

ことも可能である。

【0040】

【発明の効果】本発明の適応等化器によれば、高いデータ伝送効率を維持しつつ回路規模の縮小化を促進することができる。

【図面の簡単な説明】

【図 1】従来の適応等化器の構成を示すブロック図。

【図 2】本発明による一実施例の適応等化器が適用される伝送システムの概略ブロック図。

【図 3】図 2 の適応等化器の基本構成を示すブロック図。

【図 4】図 2 の適応等化器に入力するデータ信号のアイパターンを示す図。

【図 5】第 1 実施例による適応等化器の構成を示すブロック図。

【図 6】図 5 の適応等化器のゼロクロス抽出動作を説明するための、入力／出力デジタル信号のサンプル値の態様を示す図。

【図 7】図 5 の適応等化器の極性切換動作を説明するためのモデル図。

【図 8】第 2 実施例による適応等化器の構成を示すブロック図。

【図 9】第 3 実施例による適応等化器の構成を示すブロック図。

【図 10】第 4 実施例による適応等化器の構成を示すブロック図。

【図 11】図 10 の適応等化器の動作を説明するための図。

【図 12】他の実施例の動作原理を説明するためのモデル図。

【図 13】第 5 実施例による適応等化器の構成を示すブロック図。

【符号の説明】

1 符号化器

2 伝送路

3 適応等化器

4 判定回路

5 復号器

6 FIR フィルタ

7 係数制御回路

8 ゼロクロス抽出器

9 ゼロクロス検出器

91, 93, $n_0 \sim n_{10}$ アンド回路

92 排他的オア回路

$D_1 \sim D_n$, $d_1 \sim d_{10}$ 単位遅延素子

$M_0 \sim M_n$ 係数乗算器

$C_0 \sim C_n$, $C_0' \sim C_n'$, $C_0'' \sim C_n''$ 係

数制御回路

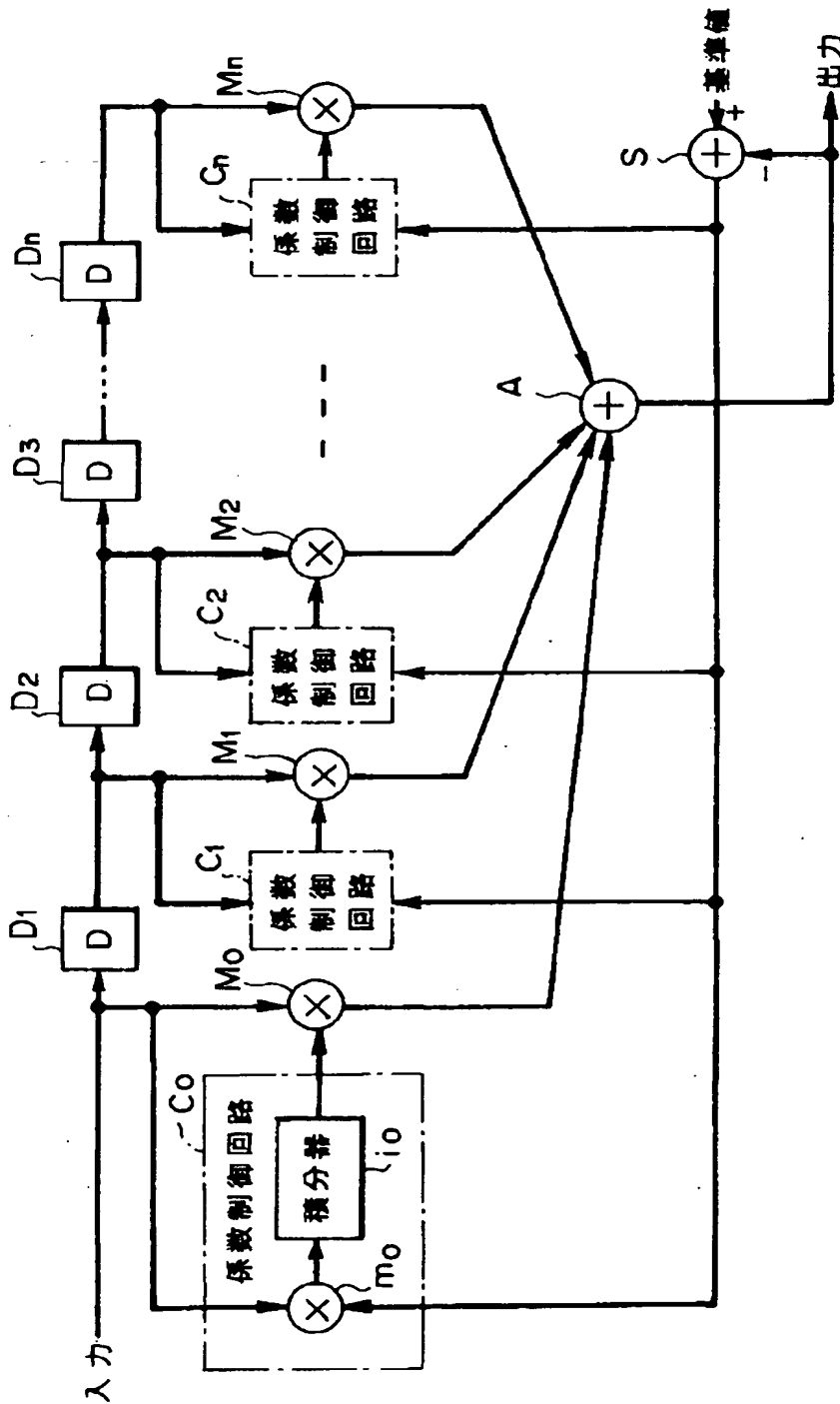
A 加算器

S 減算器

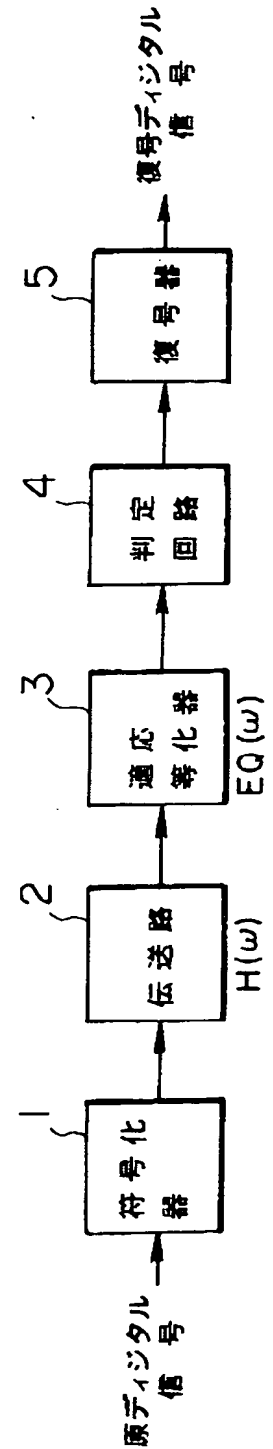
$d_0 \sim d_n$ データ判別回路
 $e_0 \sim e_n$ データ抽出回路
 $s_0 \sim s_n$ 極性切換回路
 $i_0 \sim i_n$ 積分器

a b 絶対値化回路
 c m 大小比較回路
 s l セレクタ

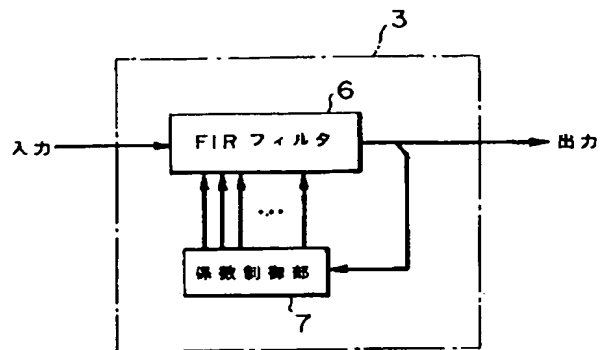
【図1】



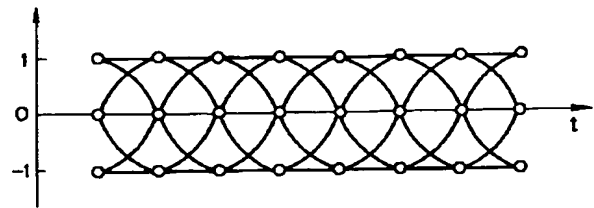
【図2】



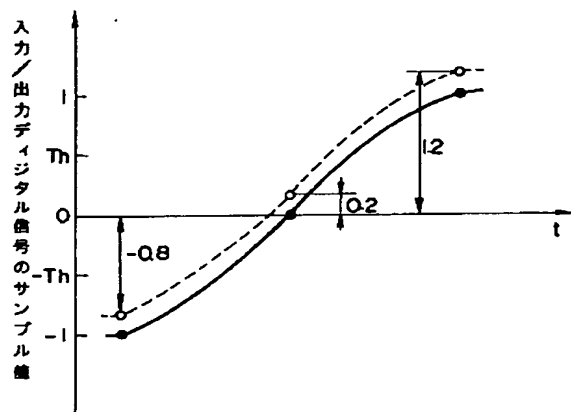
【図3】



【図4】

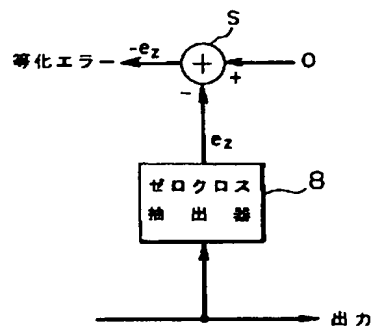


【図6】

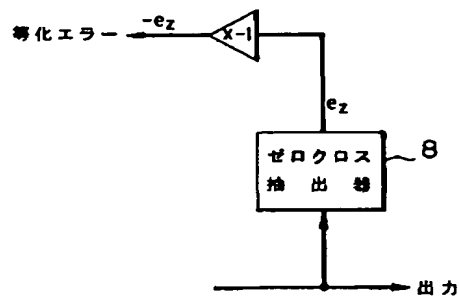


【図7】

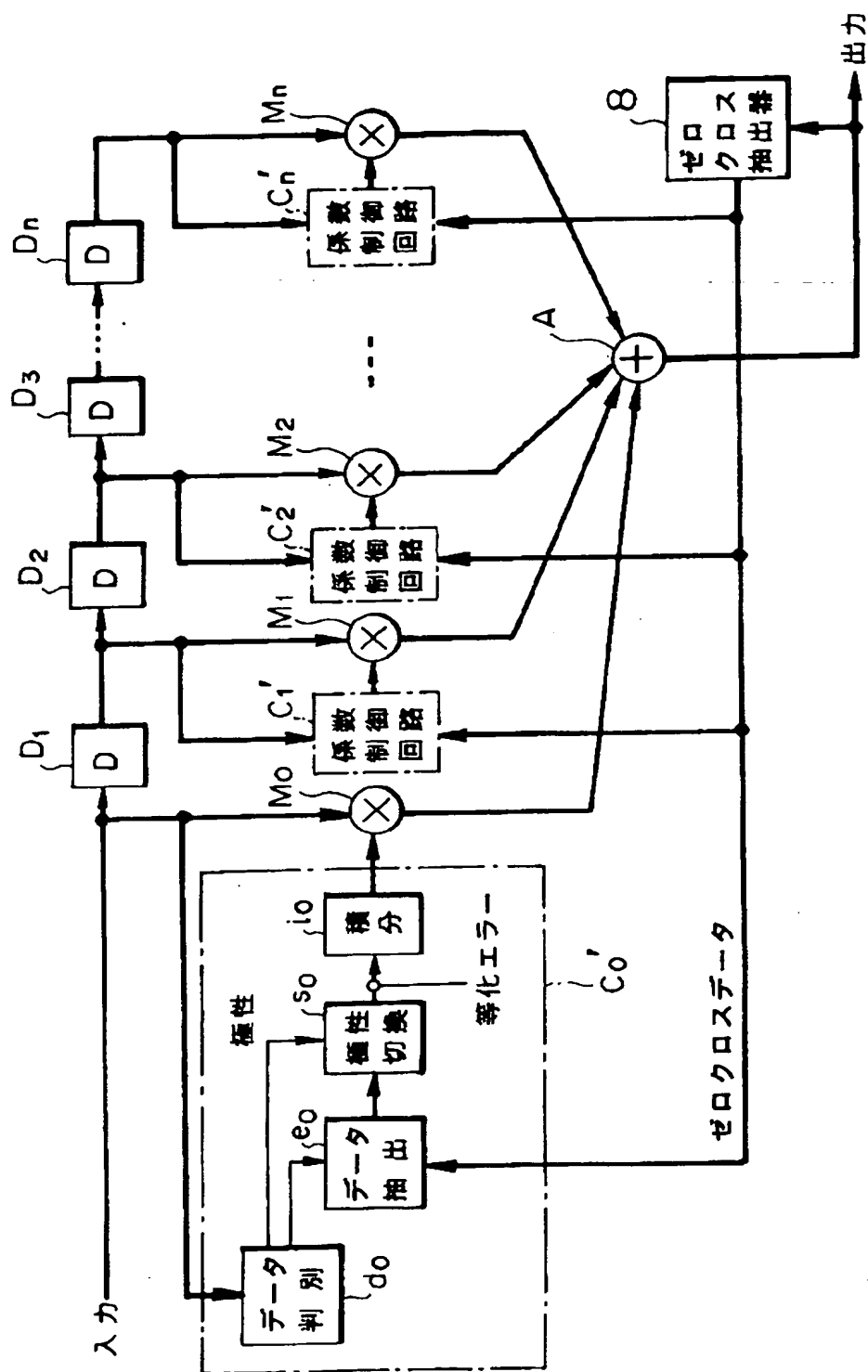
(a)



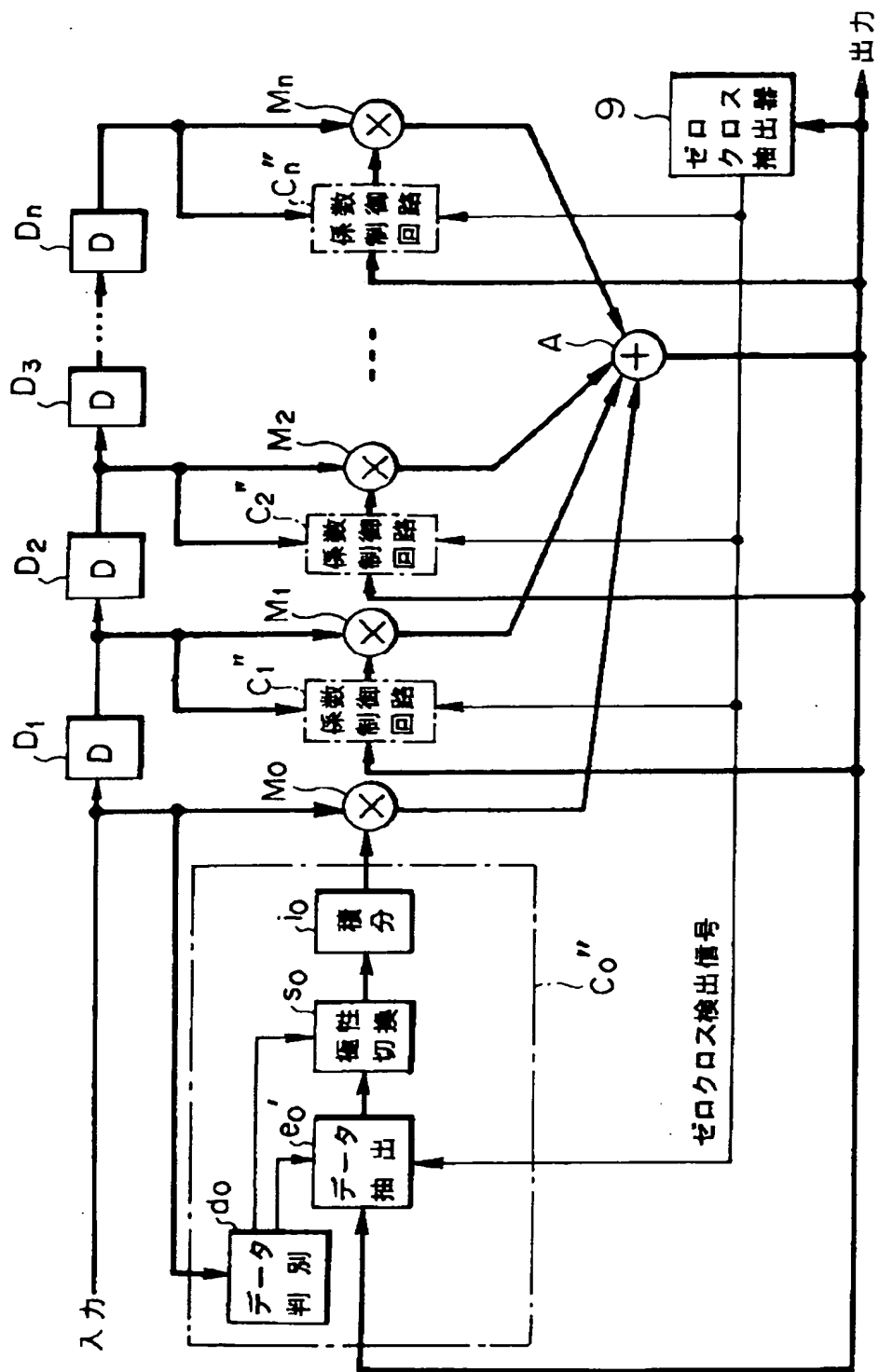
(b)



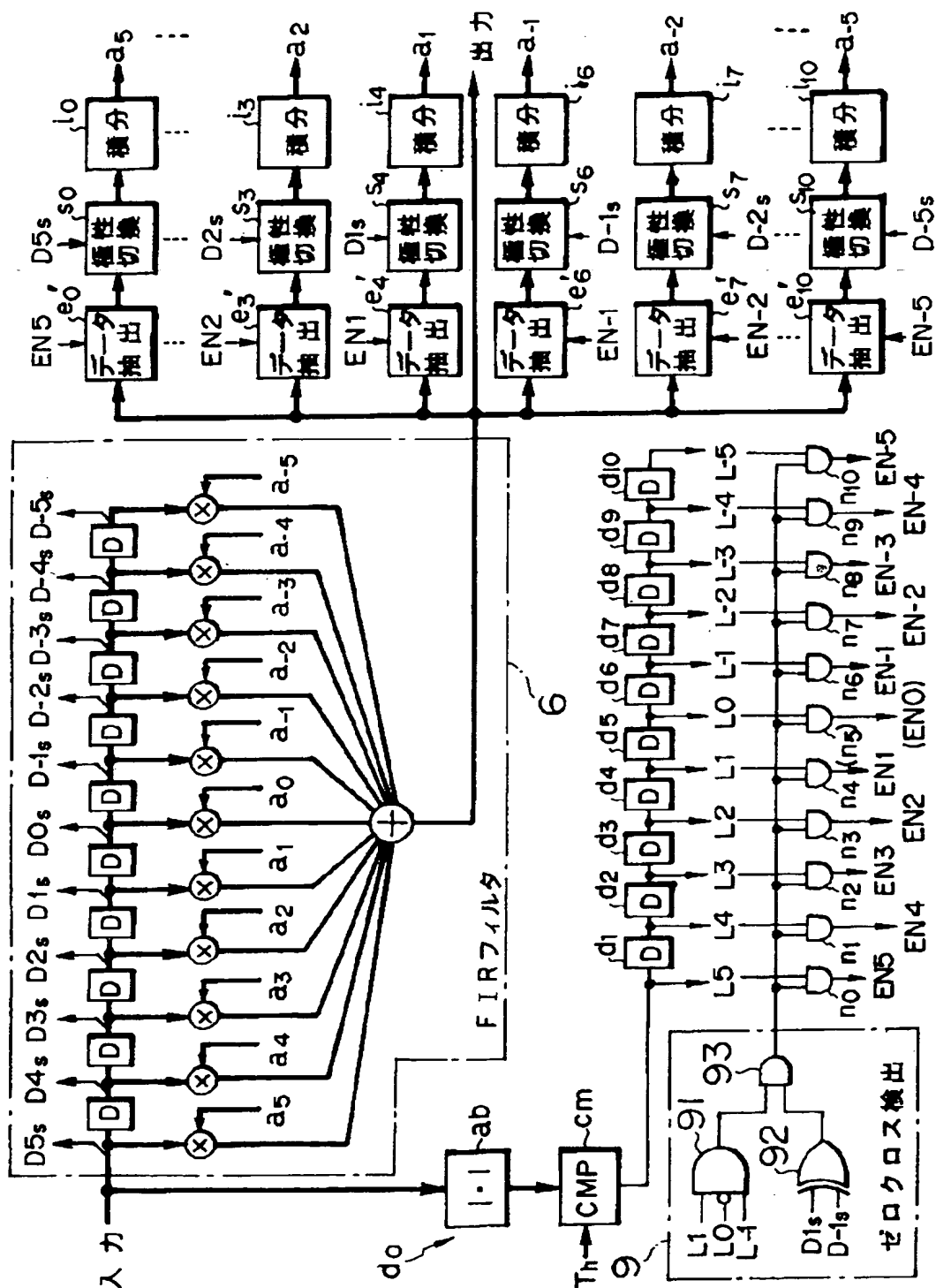
【図5】



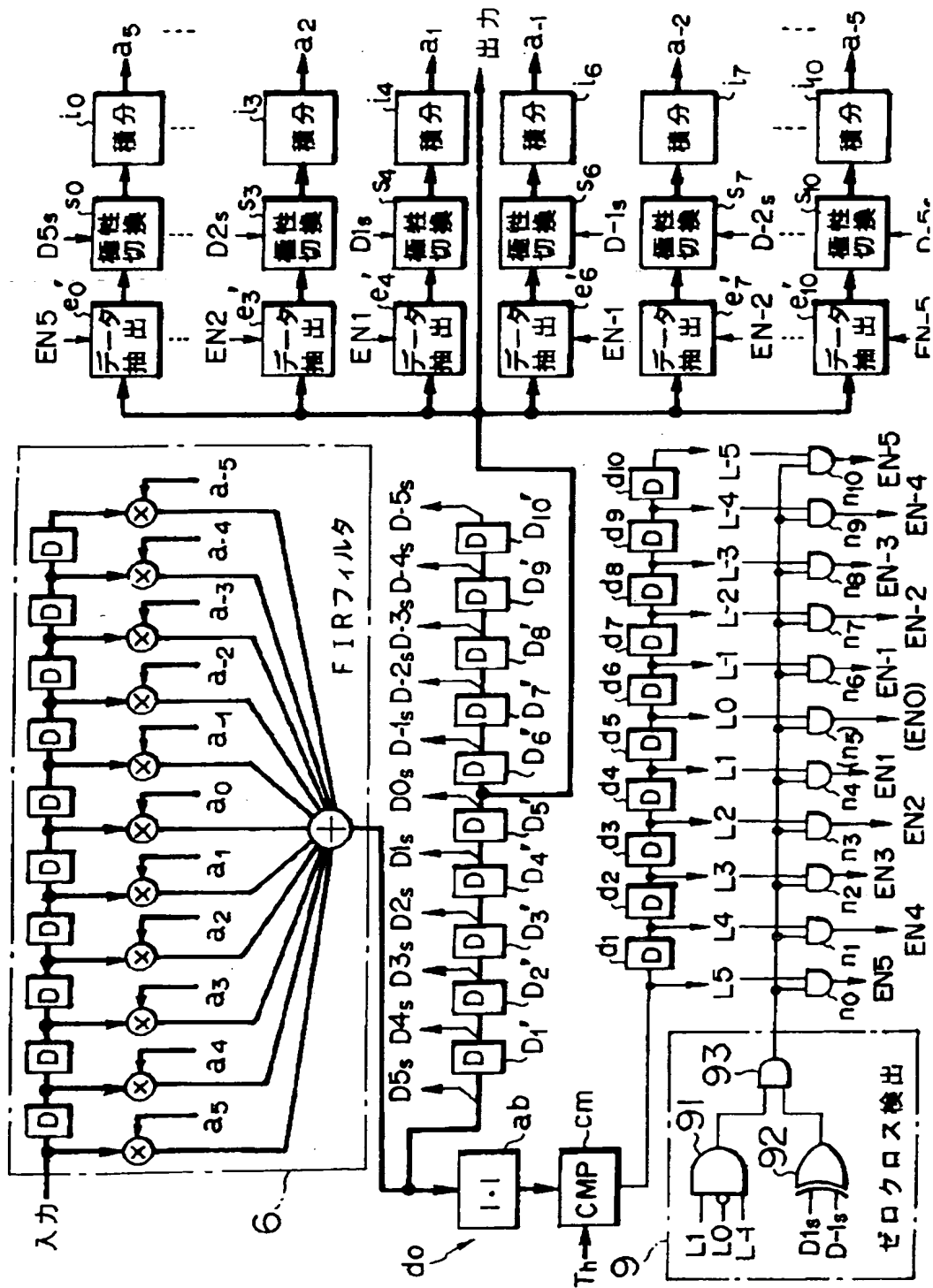
【図 8】



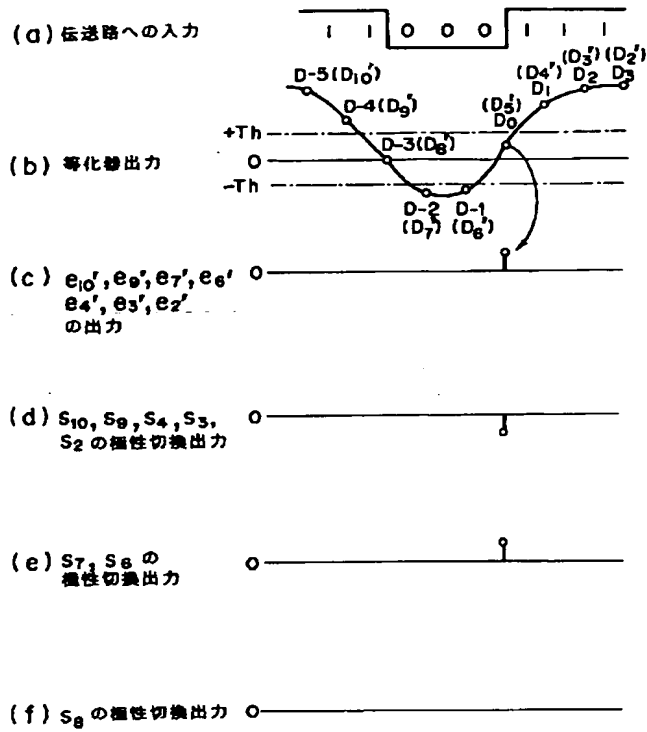
【図9】



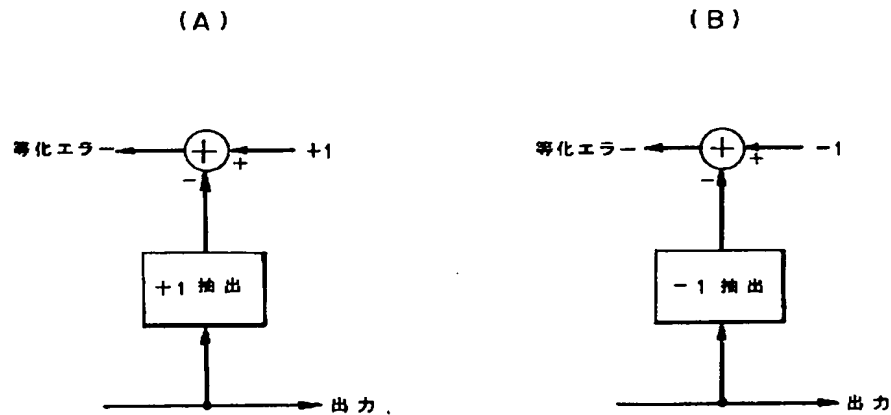
【図10】



【図 11】



【図 12】



【图 13】

